

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-024604 ✓

(43)Date of publication of application : 29.01.1999

(51)Int.Cl. G09F 9/30
G09G 3/30
H05B 33/26

(21)Application number : 09-177454

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 02.07.1997

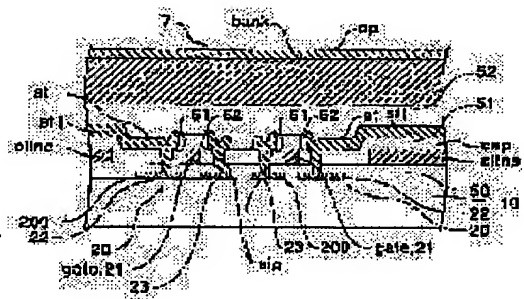
(72)Inventor : OZAWA NORIO

(54) DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To prevent a capacitance from being parasitized on a data line or driving circuit by utilizing a bank layer for regulating the forming area of an organic semiconductor film on a substrate.

SOLUTION: When an organic semiconductor film for constituting a light emitting element as electroluminescence element or LED element is formed in a pixel area 7, a bank layer bank consisting of black resist is formed around it. This bank layer bank is also formed between a data line sig for supplying an image signal to a first TFT 20 and a holding capacitance cap of the pixel area 7 and an opposite electrode op to prevent a capacitance from being parasitized on the data line sig.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(1) 特許出願公開番号

(43)公開日 平成11年(1999)1月29日

審査請求 未請求 請求項の数12 O.L (全 13 頁)

(74)代理人 弁理士 鈴木 喜三郎 (外2名)

[illegible]

【特許請求の範囲】

【請求項1】 基板上に、複数の走査線と、該走査線の延設方向に対して交差する方向に延設された複数のデータ線と、該データ線に並列する複数の共通給電線と、前記データ線と前記走査線とによりマトリクス状に形成された画素領域とを有し、該画素領域の各々には、前記走査線を介して走査信号が第1のゲート電極に供給される第1の薄膜トランジスタと、該第1の薄膜トランジスタを介して前記データ線から供給される画像信号を保持する保持容量と、該保持容量によって保持された前記画像信号が第2のゲート電極に供給される第2の薄膜トランジスタと、前記画素領域毎に形成された画素電極と前記データ線を跨いで複数の前記画素電極に対応する対向電極との層間において前記画素電極が前記第2の薄膜トランジスタを介して前記共通給電線に電気的に接続したときに前記画素電極と前記対向電極との間に流れる駆動電流によって発光する有機半導体膜を具備する発光素子とを有する表示装置において、

前記有機半導体膜のうち、発光領域は、前記有機半導体膜よりも厚い絶縁膜からなるバンク層で囲まれているとともに、該バンク層は、前記データ線の少なくとも一部を覆うように形成されていることを特徴とする表示装置。

【請求項2】 請求項1において、前記基板上には、前記複数の画素領域とともに、前記データ線に対して前記画像信号を出力する第1の駆動回路、および前記走査線に対して前記走査信号を出力する第2の駆動回路のうちの少なくとも一方の駆動回路が形成されているとともに、該駆動回路は前記バンク層によって覆われていることを特徴とする表示装置。

【請求項3】 基板上に、複数の走査線と、該走査線の延設方向に対して直交する方向に延設された複数のデータ線と、該データ線に並列する複数の共通給電線と、前記データ線に対して前記画像信号を出力する第1の駆動回路、および前記走査線に対して前記走査信号を出力する第2の駆動回路のうちの少なくとも一方の駆動回路と、前記データ線と前記走査線とによりマトリクス状に形成された画素領域とを有し、該画素領域の各々には、前記走査線を介して走査信号が第1のゲート電極に供給される第1の薄膜トランジスタと、該第1の薄膜トランジスタを介して前記データ線から供給される画像信号を保持する保持容量と、該保持容量によって保持された前記画像信号が第2のゲート電極に供給される第2の薄膜トランジスタと、前記画素領域毎に形成された画素電極と前記データ線を跨いで複数の前記画素電極に対応する対向電極との層間において前記画素電極が前記第2の薄膜トランジスタを介して前記共通給電線に電気的に接続したときに前記画素電極と前記対向電極との間に流れる駆動電流によって発光する有機半導体膜を具備する発光素子とを有する表示装置において、

前記有機半導体膜のうち、発光領域は、前記有機半導体膜よりも厚い絶縁膜からなるバンク層で囲まれているとともに、該バンク層は前記駆動回路を覆うように構成されていることを特徴とする表示装置。

【請求項4】 請求項1ないし3のいずれかにおいて、前記有機半導体膜は、インクジェット法により前記バンク層で囲まれた領域内に形成された膜であり、前記バンク層は、撥水性を有する膜であることを特徴とする表示装置。

10 【請求項5】 請求項1ないし3のいずれかにおいて、前記有機半導体膜は、インクジェット法により前記バンク層で囲まれた領域内に形成された膜であり、前記バンク層は、膜厚が1 μ m以上であることを特徴とする表示装置。

【請求項6】 請求項1ないし5のいずれかにおいて、前記画素電極の形成領域のうち、前記第1の薄膜トランジスタおよび前記第2の薄膜トランジスタと重なる領域は、前記バンク層で覆われていることを特徴とする表示装置。

20 【請求項7】 請求項1ないし6のいずれかにおいて、前記バンク層は黒色のレジスト膜から構成されていることを特徴とする表示装置。

【請求項8】 請求項1ないし7のいずれかにおいて、前記共通給電線の単位長さ当たりの抵抗値は、前記データ線の単位長さ当たりの抵抗値よりも小さいことを特徴とする表示装置。

【請求項9】 請求項1ないし7のいずれかにおいて、前記共通給電線と前記データ線とは材料及び膜厚が同一で、かつ、前記共通給電線の線幅は、前記データ線の線幅よりも広いことを特徴とする表示装置。

30 【請求項10】 請求項1ないし9のいずれかにおいて、前記共通給電線の両側には、該共通給電線との間で前記駆動電流の通電が行われる画素領域が配置され、該画素領域に対して前記共通給電線とは反対側を前記データ線が通っていることを特徴とする表示装置。

【請求項11】 請求項10において、前記画素領域に対して前記共通給電線とは反対側を通る2本のデータ線の間に相当する位置には、配線層が形成されていることを特徴とする表示装置。

40 【請求項12】 請求項1ないし11のいずれかにおいて、前記走査線の延設方向に沿って隣接するいずれの画素領域間でも、前記有機半導体膜の形成領域の中心のピッチが等しいことを特徴とする表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、有機半導体膜に駆動電流が流れることによって発光するEL（エレクトロルミネッセンス）素子またはLED（発光ダイオード）素子などの発光素子を薄膜トランジスタ（以下、TFTという。）で駆動制御するアクティブマトリクス型の表

3

示装置に関するものである。さらに詳しくは、その表示特性を向上するためのレイアウトの最適化技術に関するものである。

【0002】

【従来の技術】EL素子またはLED素子などの電流制御型発光素子を用いたアクティブマトリクス型の表示装置が提案されている。このタイプの表示装置に用いられる発光素子はいずれも自己発光するため、液晶表示装置と違ってバックライトを必要とせず、また、視野角依存性が少ないなどの利点もある。

【0003】図13は、このような表示装置の一例として、電荷注入型の有機薄膜EL素子を用いたアクティブマトリクス型表示装置のブロック図を示してある。この図に示す表示装置1Aでは、透明基板上に、複数の走査線gateと、該走査線gateの延設方向に対して交差する方向に延設された複数のデータ線sigと、該データ線sigに並列する複数の共通給電線comと、データ線sigと走査線gateとの交差点に対応する画素領域7とが構成されている。データ線sigに対しては、シフトレジスタ、レベルシフト、ビデオライン、アナログスイッチを備えるデータ側駆動回路3が構成されている。走査線に対しては、シフトレジスタおよびレベルシフトを備える走査側駆動回路4が構成されている。また、画素領域7の各々には、走査線を介して走査信号がゲート電極に供給される第1のTFT20と、この第1のTFT20を介してデータ線sigから供給される画像信号を保持する保持容量capと、該保持容量capによって保持された画像信号がゲート電極に供給される第2のTFT30と、第2のTFT30を介して共通給電線comに電気的に接続したときに共通給電線comから駆動電流が流れ込む発光素子40とが構成されている。

【0004】すなわち、図14(A)、(B)に示すように、いずれの画素領域においても、島状の2つの半導体膜を利用して第1のTFT20および第2のTFT30が形成され、第2のTFT30のソース・ドレイン領域の一方には、第1層間絶縁膜51のコンタクトホールを介して中継電極35が電気的に接続し、該中継電極35には画素電極41が電気的に接続している。この画素電極41の上層側には、正孔注入層42、有機半導体膜43、対向電極opが積層されている。ここで、対向電極opは、データ線sigなどを跨いで複数の画素領域7にわたって形成されている。

【0005】第2のTFT30のソース・ドレイン領域のもう一方には、コンタクトホールを介して共通給電線comが電気的に接続している。これに対して、第1のTFT20では、そのソース・ドレイン領域の一方に電気的に接続する電位保持電極stは、ゲート電極31の延設部分310に電気的に接続している。この延設部分310に対しては、その下層側においてゲート絶縁膜5

4

0を介して半導体膜400が対向し、この半導体膜400は、それに導入された不純物によって導電化されているので、延設部分310およびゲート絶縁膜50とともに保持容量capを構成している。ここで、半導体膜400に対しては第1の層間絶縁膜51のコンタクトホールを介して共通給電線comが電気的に接続している。従って、保持容量capは、第1のTFT20を介してデータ線sigから供給される画像信号を保持するので、第1のTFT20がオフになっても、第2のTFT30のゲート電極31は画像信号に相当する電位に保持される。それ故、発光素子40には共通給電線comから駆動電流が流れ続けるので、発光素子40は発光し続けることになる。

【0006】

【発明が解決しようとする課題】しかしながら、前記の表示装置において、画素電極41に対向する対向電極opは、液晶表示装置と相違して、同じ透明基板10上において、その表面全体、あるいは複数の画素領域7にわたって形成されるため、対向電極opはデータ線sigとの間に第2の層間絶縁膜52のみを有することになる。このため、データ線sigには大きな容量が寄生することになって、従来の表示装置のままで、データ線sigの負荷が大きい。同様な問題点は、データ側駆動回路3や走査側駆動回路4の表面側に重なるように対向電極opが形成されることに起因して、駆動回路に形成される配線層と対向電極との間に寄生する容量が大きくなり、データ側駆動回路3の負荷が大きいという問題点を引き起こす。

【0007】ここに、本発明者は、インクジェットヘッドから吐出した液状の材料から有機半導体膜を所定の領域に形成することを検討するとともに、この方法で有機半導体膜を形成する際に有機半導体膜が側方にはみ出すことを防止するために有機半導体膜の形成領域をレジストなどで構成したバンク層で囲うことを検討してきた。このような構成などを利用して、本発明者は上記の問題点を解消することを提案する。

【0008】すなわち、本発明の課題は、基板上に有機半導体膜の形成領域を規定するためのバンク層を利用して、データ線や駆動回路に容量が寄生することを防止することのできる表示装置を提供することにある。

【0009】

【課題を解決するための手段】上記課題を解決するため、本発明では、基板上に、複数の走査線と、該走査線の延設方向に対して交差する方向に延設された複数のデータ線と、該データ線に並列する複数の共通給電線と、前記データ線と前記走査線とによりマトリクス状に形成された画素領域とを有し、該画素領域の各々には、前記走査線を介して走査信号がゲート電極に供給される第1のTFTと、該第1のTFTを介して前記データ線から供給される画像信号を保持する保持容量と、該保持容量

10

20

30

40

50

5

によって保持された前記画像信号がゲート電極に供給される第2のTFTと、前記画素領域毎に形成された画素電極と前記データ線を跨いで複数の前記画素電極に対応する対向電極との層間において前記画素電極が前記第2の薄膜トランジスタを介して前記共通給電線に電気的に接続したときに前記画素電極と前記対向電極との間に流れる駆動電流によって発光する有機半導体膜を具備する発光素子とを有する表示装置において、前記有機半導体膜のうち、発光領域は、前記有機半導体膜よりも厚い絶縁膜からなるバンク層で囲まれているとともに、該バンク層は、前記データ線の少なくとも一部を覆うように構成されていることを特徴とする。

【0010】本発明において、対向電極は少なくとも画素領域の全面、あるいはストライプ状に広い領域にわたって形成され、データ線と対向する状態にある。従って、このままでは、データ線に対して大きな容量が寄生することになる。しかるに本発明では、データ線と対向電極との間にバンク層が介在しているので、対向電極との間に形成される容量がデータ線に寄生することを防止できる。その結果、データ線駆動回路の負荷を低減できるので、低消費電力化あるいは表示動作の高速化を図ることができる。

【0011】本発明において、前記基板上には、前記複数の画素領域とともに、前記データ線に対して前記画像信号を出力する第1の駆動回路、または前記走査線に対して前記走査信号を出力する第2の駆動回路が形成される場合がある。このような駆動回路の形成領域も、前記の対向電極と対向していると、駆動回路に形成された配線層にも大きな容量が寄生することになる。しかるに本発明では、駆動回路もバンク層によって覆うことによって、対向電極との間に形成される容量が駆動回路に寄生することを防止できる。その結果、駆動回路の負荷を低減できるので、低消費電力化あるいは表示動作の高速化を図ることができる。

【0012】本発明において、前記有機半導体膜は、たとえば、インクジェット法により前記バンク層で囲まれた領域内に形成された膜であり、前記バンク層は、前記有機半導体膜をインクジェット法により形成する際のはみ出しを防止するための撥水性の膜である。また、前記バンク層は、前記有機半導体膜のはみ出しを防止するという観点から1 μ m以上の膜厚で構成してもよく、この場合には、前記有機半導体膜は撥水性でなくても隔壁として機能する。

【0013】本発明において、前記画素電極の形成領域のうち、前記第1のTFTおよび前記第2のTFTと重なる領域も前記バンク層で覆われていることが好ましい。本発明において、画素電極の形成領域のうち、前記第1のTFTの形成領域および前記第2のTFTの形成領域と重なる領域では、たとえ対向電極との間に駆動電流が流れて有機半導体膜が発光しても、この光は第1の

6

TFTや第1のTFTに遮られ、表示には寄与しない。かかる表示に寄与しない部分で有機半導体膜に流れる駆動電流は、表示という面からみて無効電流といえる。そこで、本発明では、従来ならこのような無効電流が流れるはずの部分にバンク層を形成し、そこに駆動電流が流れることを防止する。その結果、共通給電線に流れる電流が小さくすることができるので、その分、共通給電線の幅を狭くすれば、その結果として、その分、発光面積を増すことができ、輝度、コントラスト比などの表示性能を向上させることができる。

【0014】本発明では、前記バンク層を黒色のレジスト膜から構成することによって、それをブラックマトリクスとして利用し、表示の品位を高めることが好ましい。すなわち、本発明に係る表示装置では、対向電極が少なくとも画素領域の全面、あるいは広い領域にわたってストライプ状に形成されると、対向電極からの反射光がコントラスト比を低下させる。しかるに本発明では、寄生容量を防止するための機能も担うバンク層を黒色のレジストで構成したため、ブラックマトリクスとしても機能する。それ故、バンク層は対向電極からの反射光を遮るので、コントラスト比が向上する。

【0015】本発明において、共通給電線には、各画素の発光素子を駆動するための駆動電流が流れるので、データ線に比較して大きな電流が流れる。そこで、本発明では、前記共通給電線の単位長さ当たりの抵抗値を、前記データ線の単位長さ当たりの抵抗値よりも小さくして、その電流容量を大きくすることが好ましい。たとえば、前記共通給電線と前記データ線とは材料及び膜厚が同一である場合には、前記共通給電線の線幅を前記データ線の線幅よりも広くする。

【0016】本発明において、前記共通給電線の両側には、該共通給電線との間で前記駆動電流の運送が行われる画素領域が配置され、該画素領域に対して前記共通給電線とは反対側を前記データ線が通っていることが好ましい。すなわち、データ線、それに接続する画素群、1本の共通給電線、それに接続する画素群、および該画素群に画素信号を供給するデータ線を1つの単位としてそれを走査線の延設方向に繰り返す。このように構成すると、2列分の画素に対して1本の共通給電線で済む。それ故、1列の画素群ごとに共通給電線を形成する場合と比較して、共通給電線の形成領域を狭めることができるので、その分、発光面積を増すことができ、輝度、コントラスト比などの表示性能を向上させることができる。

【0017】また、上記の構成によると、2本のデータ線が並列することになるため、これらのデータ線の間でクロストークが発生するおそれがある。そこで、本発明では、2本のデータ線の間に対応する位置には配線層を形成することが好ましい。このように構成すると、2本のデータ線の間にはそれらとは別の配線層が通っている

10

20

30

40

50

ので、このような配線層を少なくとも画像の1水平走査期間で固定電位としておくだけで上記のクロストークを防止できる。

【0018】本発明において、前記有機半導体膜をインクジェット法で形成するのであれば、前記走査線の延設方向に沿って隣接するいずれの画素領域間でも、前記有機半導体膜の形成領域の中心のピッチを等しくしておくことが好ましい。このように構成すると、走査線の延設方向に沿って等間隔の位置にインクジェットヘッドから前記有機半導体膜の材料を吐出させればよいので、位置制御機構が簡易で済むとともに、位置精度が向上する。

【0019】

【発明の実施の形態】図面を参照して、本発明の実施の形態を説明する。

【0020】（アクティブマトリクス基板の全体構成）

図1は、表示装置の全体のレイアウトを模式的に示すブロック図である。

【0021】この図に示すように、本形態の表示装置1では、その基体たる透明基板10の中央部分が表示部2とされている。透明基板10の外周部分のうち、データ線sigの両端側には画像信号を出力するデータ側駆動回路3（第1の駆動回路）、および検査回路5が構成され、走査線gateの両端側には走査信号を出力する走査側駆動回路4（第2の駆動回路）が構成されている。これらの駆動回路3、4では、N型のTFTとP型のTFTとによって組箱型TFTが構成され、この組箱型TFTは、シフトレジスタ、レベルシフタ、アナログスイッチなどを構成している。なお、透明基板10において、データ側駆動回路3よりも外周領域には、画像信号や各種の電位、パルス信号を入力するための端子群とされる実装用パッド6が形成されている。

【0022】このように構成した表示装置1では、液晶表示装置のアクティブマトリクス基板と同様、透明基板10上に、複数の走査線gateと、該走査線gateの延設方向に対して交差する方向に延設された複数のデータ線sigとが構成され、これらのデータ線sigと走査線gateとによりマトリクス状に形成された複数の画素領域7が構成されている。

【0023】これらの画素領域7のいずれにも、図2に示すように、走査線gateを介して走査信号がゲート電極21（第1のゲート電極）に供給される第1のTFT20が構成されている。このTFT20のソース・ドレイン領域の一方は、データ線sigに電気的に接続され、他方は電位保持電極stに電気的に接続されている。走査線gateに対しては容量線clineが並列配置され、この容量線clineと電位保持電極stとの間には保持容量capが形成されている。従って、走査信号によって選択されて第1のTFT20がオン状態になると、データ線sigから画像信号が第1のTFT20を介して保持容量capに書き込まれる。

【0024】電位保持電極stには第2のTFT30のゲート電極31（第2のゲート電極）が電気的に接続されている。第2のTFT30のソース・ドレイン領域の一方は、共通給電線comに電気的に接続されている一方、他方は発光素子40の一方の電極（後述する画素電極）に電気的に接続されている。共通給電線comは、定電位に保持されている。従って、第2のTFT30がオン状態になったときに、第2のTFT30を介して共通給電線comの電流が発光素子40に流れ、発光素子40を発光させる。

【0025】但し、本形態では、共通給電線comの両側には、該共通給電線comとの間で駆動電流の供給が行われる発光素子40を有する画素領域7が配置され、これらの画素領域7に対して共通給電線comとは反対側を2本のデータ線sigが通っている。すなわち、データ線sig、それに接続する画素群、1本の共通給電線com、それに接続する画素群、および該画素群に画素信号を供給するデータ線sigを1つの単位としてそれを走査線gateの延設方向に繰り返してあり、共通給電線comは、1本で2列分の画素に対して駆動電流を供給する。従って、1列の画素群ごとに共通給電線comを形成する場合と比較して、共通給電線comの形成領域が狭くて済み、発光面積を増やすことができるので、細度、コントラスト比などの表示性能を向上させることができる。なお、このように1本の共通給電線comに2列分の画素が接続される構成としたため、データ線sigは2本ずつ並列する状態にあって、それぞれの列の画素群に対して画像信号を供給することになる。

【0026】（画素領域の構成）このように構成した表示装置1の各画素領域7の構造を図3ないし図6（A）を参照して詳述する。

【0027】図3は、本形態の表示装置1に形成されている複数の画素領域7のうちの3つの画素領域7を拡大して示す平面図、図4、図5、および図6（A）はそれぞれ、そのA-A'線における断面図、B-B'線における断面図、およびC-C'線における断面図である。

【0028】まず、図3におけるA-A'線に相当する位置では、図4に示すように、透明基板10上には各画素領域7の各々に第1のTFT20を形成するための島状のシリコン膜200が形成され、その表面にはゲート絶縁膜50が形成されている。また、ゲート絶縁膜50の表面にはゲート電極21が形成され、該ゲート電極21に対して自己整合的に高濃度の不純物が導入されたソース・ドレイン領域22、23が形成されている。ゲート絶縁膜50の表面側には第1の層間絶縁膜51が形成され、この層間絶縁膜に形成されたコンタクトホール61、62を介して、ソース・ドレイン領域22、23にはデータ線sig、および電位保持電極stがそれぞれ電気的に接続されている。

【0029】各画素領域7には走査線gateと並列するように、走査線gateやゲート電極21と同一の層間(ゲート絶縁膜50と第1の層間絶縁膜51との間)には容量線clineが形成されており、この容量線clineに対しては、第1の層間絶縁膜51を介して電位保持電極stの延設部分st1が重なっている。このため、容量線clineと電位保持電極stの延設部分st1とは、第1の層間絶縁膜51を誘電体膜とする保持容量capを構成している。なお、電位保持電極stおよびデータ線sigの表面側には第2の層間絶縁膜52が形成されている。

【0030】図3におけるB-B'線に相当する位置では、図5に示すように、透明基板10上に形成された第1の層間絶縁膜51および第2の層間絶縁膜52の表面に各画素領域7に対応するデータ線sigが2本、並列している状態にある。

【0031】図3におけるC-C'線に相当する位置では、図6(A)に示すように、透明基板10上には共通給電線comを挟む2つの画素領域7に跨るように、第2のTFT30を形成するための島状のシリコン膜300が形成され、その表面にはゲート絶縁膜50が形成されている。また、ゲート絶縁膜50の表面には、共通給電線comを挟むように、各画素領域7の各々にゲート電極31がそれぞれ形成され、このゲート電極31に対して自己整合的に高濃度の不純物が導入されたソース・ドレイン領域32、33が形成されている。ゲート絶縁膜50の表面側には第1の層間絶縁膜51が形成され、この層間絶縁膜に形成されたコンタクトホール63を介して、ソース・ドレイン領域62に中継電極35が電気的に接続されている。一方、シリコン膜300の中央の2つの画素領域7において共通のソース・ドレイン領域33となる部分に対しては、第1の層間絶縁膜51のコンタクトホール64を介して、共通給電線comが電気的に接続されている。これらの共通給電線com、および中継電極35の表面には第2の層間絶縁膜52が形成されている。第2の層間絶縁膜52の表面にはITO膜からなる画素電極41が形成されている。この画素電極41は、第2の層間絶縁膜52に形成されたコンタクトホール65を介して中継電極35に電気的に接続され、また中継電極35を介して第2のTFT30のソース・ドレイン領域32に電気的に接続されている。

【0032】ここで、画素電極41は発光素子40の一方の電極を構成している。すなわち、画素電極41の表面には正孔注入層42および有機半導体膜43が積層され、さらに有機半導体膜43の表面には、リチウム含有アルミニウム、カルシウムなどの金属膜からなる対向電極opが形成されている。この対向電極opは、少なくとも画素領域41の全面、あるいはストライプ状に形成された共通の電極であって、一定の電位に保持されている。

【0033】このように構成された発光素子40では、対向電極opおよび画素電極41をそれぞれ正極および負極として電圧が印加され、図7に示すように、印加電圧がしきい値電圧を越えた領域で有機半導体膜43に流れる電流(駆動電流)が急激に増大する。その結果、発光素子40は、エレクトロルミネッセンス素子あるいはLED素子として発光し、発光素子40の光は、対向電極opに反射されて透明な画素電極41および透明基板10を透過して出射される。

【0034】このような発光を行うための駆動電流は、対向電極op、有機半導体膜43、正孔注入層42、画素電極41、第2のTFT30、および共通給電線comから構成される電流経路を流れるため、第2のTFT30がオフ状態になると、流れなくなる。但し、本形態の表示装置1では、走査信号によって選択されて第1のTFT20がオン状態になると、データ線sigから画像信号が第1のTFT20を介して保持容量capに書き込まれる。従って、第2のTFT30のゲート電極は、第1のTFT20がオフ状態になっても、保持容量capによって画像信号に相当する電位に保持されるので、第2のTFT30はオン状態のままである。それ故、発光素子40には駆動電流が流れ続け、この画素は点灯状態のままである。この状態は、新たな画像データが保持容量capに書き込まれて、第2のTFT30がオフ状態になるまで維持される。

【0035】(表示装置の製造方法)このように構成した表示装置1の製造方法では、透明基板10上に第1のTFT20および第2のTFT30を製造するまでの工程は、液晶表示装置1のアクティブマトリクス基板を製造する工程と略同様であるため、図8を参照してその概要を説明する。

【0036】図8は、表示装置1の各構成部分を形成していく過程を模式的に示す工程断面図である。

【0037】すなわち、図8(A)に示すように、透明基板10に対して、必要に応じて、TEOS(テトラエトキシラン)や酸素ガスなどを原料ガスとしてプラズマCVD法により厚さが約2000~5000オングストロームのシリコン酸化膜からなる下地保護膜(図示せず)を形成する。次に基板の温度を約350℃に設定して、下地保護膜の表面にプラズマCVD法により厚さが約300~700オングストロームのアモルファスのシリコン膜からなる半導体膜100を形成する。次にアモルファスのシリコン膜からなる半導体膜100に対して、レーザアニールまたは固相成長法などの結晶化工程を行い、半導体膜100をポリシリコン膜に結晶化する。レーザアニール法では、たとえば、エキシマレーザでビームの長寸が400mmのラインビームを用い、その出力強度はたとえば200mJ/cm²である。ラインビームについてはその短寸方向におけるレーザ強度のピーク値の90%に相当する部分が各領域毎に重なるよ

うにラインビームを走査していく。

【0038】次に、図8(B)に示すように、半導体膜100をパターンニングして島状の半導体膜200、300とし、その表面に対して、TEOS(テトラエトキシシラン)や酸素ガスなどを原料ガスとしてプラズマCVD法により厚さが約600~1500オングストロームのシリコン酸化膜または窒化膜からなるゲート絶縁膜50を形成する。

【0039】次に、図8(C)に示すように、アルミニウム、タンタル、モリブデン、チタン、タングステンなどの金属膜からなる導電膜をスパッタ法により形成した後、パターンニングし、ゲート電極21、31を形成する(ゲート電極形成工程)。この工程では、走査線gateおよび容量線clineも形成する。なお、図中、310は、ゲート電極31の延設部分である。

【0040】この状態で、高濃度のリンイオンを打ち込んで、シリコン導膜200、300にはゲート電極21、31に対して自己整合的にソース・ドレイン領域22、23、32、33を形成する。なお、不純物が導入されなかった部分がチャネル領域27、37となる。

【0041】次に、図8(D)に示すように、第1の層間絶縁膜51を形成した後、コンタクトホール61、62、63、64、69を形成し、データ線sig、容量線clineおよびゲート電極31の延設部分310に重なる延設部分st1を備える電位保持電極st、共通給電線com、および中継電極35を形成する。その結果、電位保持電極stはコンタクトホール69および延設部分310を介してゲート電極31に電気的に接続する。このようにして第1のTFT20および第2のTFT30を形成する。また、容量線clineと電位保持電極stの延設部分st1とによって保持容量capが形成される。

【0042】次に、図8(E)に示すように、第2の層間絶縁膜52を形成し、この層間絶縁膜には、中継電極35に相当する部分にコンタクトホール65を形成する。次に、第2の層間絶縁膜52の表面全体にITO膜を形成した後、パターンニングし、コンタクトホール65を介して第2のTFT30のソース・ドレイン領域32に電気的に接続する画素電極41を形成する。

【0043】次に、図8(F)に示すように、第2の層間絶縁膜52の表面側に黒色のレジスト層を形成した後、このレジストを発光素子40の正孔注入層42および有機半導体膜43を形成して発光領域とすべき領域を囲むように残し、バンク層bankを形成する。ここで、有機半導体膜43は、各画素毎に独立して、たとえば箱状に形成される場合、データ線sigに沿ってストライプ状に形成される場合などのいずれの場合であっても、それに対応する形状にバンク層bankを形成するだけで、本形態に係る製造方法を適用できる。

【0044】次に、バンク層bankの内側領域に対し

てインクジェットヘッドIJから、正孔注入層42を構成するための液状の材料(前駆体)を吐出し、バンク層bankの内側領域に正孔注入層42を形成する。同様に、バンク層bankの内側領域に対してインクジェットヘッドIJから、有機半導体膜43を構成するための液状の材料(前駆体)を吐出し、バンク層bankの内側領域に有機半導体膜43を形成する。ここで、バンク層bankはレジストから構成されているため、撥水性である。これに対して、有機半導体膜43の前駆体は親水性の溶媒を用いているため、有機半導体膜43の塗布領域はバンク層bankによって確実に規定され、隣接する画素にはみ出ることがない。それ故、有機半導体膜43などを所定領域内だけに形成できる。但し、予めバンク層bankからなる隔壁が1μmほどの高さであれば、バンク層bankが撥水性でなくても、バンク層bankは隔壁として十分に機能する。なお、バンク層bankを形成しておけば、インクジェット法に代えて、塗布法で正孔注入層42や有機半導体膜43を形成する場合でもその形成領域を規定できる。

【0045】このように、有機半導体膜43や正孔注入層42をインクジェット法により形成する場合には、その作業効率を高めるために、本形態では、図3に示すように、走査線gateの延設方向に沿って隣接するいずれの画素領域7間でも、前記有機半導体膜43の形成領域の中心のピッチPを等しくしてある。従って、矢印Qで示すように、走査線gateの延設方向に沿って等間隔の位置にインクジェットヘッドIJから有機半導体膜43の材料などを吐出すればよいので、作業効率がよいという利点がある。また、インクジェットヘッドIJが等ピッチの移動で良いということにより、インクジェットヘッドIJの移動機構が簡易になり、かつ、インクジェットヘッドIJの打ち込み精度を高めるのも容易になる。

【0046】しかる後には、図8(G)に示すように、透明基板10の表面全体に対して、あるいはストライプ状に対向電極opを形成する。なお、バンク層bankについては、それが黒色のレジストから構成されているので、そのまま残し、以下に説明するように、ブラックマトリクスBM、および寄生容量を低減するための絶縁層として利用する。

【0047】なお、図1に示すデータ側駆動回路3や定電圧駆動回路4にもTFTが形成されるが、これらのTFTは前記の画素領域7にTFTを形成していく工程の全部あるいは一部を援用して行われる。それ故、駆動回路を構成するTFTも、画素領域7のTFTと同一の層間に形成されることになる。

【0048】また、前記第1のTFT20、および第2のTFT30については、双方がN型、双方がP型、一方がN型で他方がP型のいずれでもよいが、このようないずれの組合せであっても周知の方法でTFTを形成し

10

20

30

40

50

ていけるので、その説明を省略する。

【0049】なお、発光素子40としては、発光効率（正孔注入率）がやや低下するものの、正孔注入層42を省くこともある。また、正孔注入層42に代えて電子注入層を有機半導体膜43に対して正孔注入層42とは反対側に形成する場合、正孔注入層42および電子注入層の双方を形成する場合がある。

【0050】（バンク層の形成領域）本形態では、図1に示す透明基板10の周辺領域の終てに対して、前記のバンク層bank（形成領域に斜線を付してある。）を形成する。従って、データ側駆動回路3および走査側駆動回路4はいずれも、バンク層bankによって覆われている。このため、これらの駆動回路の形成領域に対して対向電極opが重なる状態にあっても、駆動回路の配線層と対向電極opとの間にバンク層bankが介在することになる。それ故、駆動回路3、4に容量が寄生することを防止できるため、駆動回路3、4の負荷を低減でき、低消費電力化あるいは表示動作の高速化を図ることができる。

【0051】また、本形態では、図3ないし図5に示すように、データ線sigに重なるようにバンク層bankを形成してある。従って、データ線sigと対向電極opとの間にバンク層bankが介在することになるので、データ線sigに容量が寄生することを防止できる。その結果、データ側駆動回路3の負荷を低減できるので、低消費電力化あるいは表示動作の高速化を図ることができる。

【0052】さらに、本形態では、図3、図4、および図6（A）に示すように、画素電極41の形成領域のうち、中継電極35と重なる領域にもバンク層bankが形成されている。図6（B）に示すように、例えば、中継電極35と重なる領域にバンク層bankがないと、対向電極opとの間に駆動電流が流れて有機半導体膜43が発光しても、この光は中継電極35と対向電極opとの間に挟まれて外に出射されず、表示に寄与しない。かかる表示に寄与しない部分で流れる駆動電流は、表示という面からみて無効電流といえる。しかるに本形態では、従来ならこのような無効電流が流れるはずの部分にバンク層bankを形成し、そこに駆動電流が流れることを防止するので、共通給電線comに無駄な電流が流れることが防止できる。それ故、共通給電線comの幅はその分、狭くてよい。

【0053】たとえば、本形態では、共通給電線comには、データ線sigと違って、発光素子40を駆動するための大きな電流が流れ、しかも、2列分の画素に対して駆動電流を供給する。それ故、共通給電線comについては、データ線sigと同一の材料から構成されているが、その線幅をデータ線sigの線幅よりも広く設定してあるため、共通給電線comの単位長さ当たりの抵抗値は、データ線sigの単位長さ当たりの抵抗値よ

りも小さい。それでも、本形態では、共通給電線comに前記の無効電流が流れることを抑えることによって、共通給電線comの線幅については必要最小限の線幅としてあるので、画素領域7の発光面積を増すことができ、輝度、コントラスト比などの表示性能を向上させることができる。

【0054】また、前記のようにバンク層bankを形成しておく、バンク層bankはブラックマトリクスとして機能し、コントラスト比などの表示の品位が向上する。すなわち、本形態に係る表示装置1では、対向電極opが透明基板10の表面側において画素領域7の全面、あるいは広い領域にわたってストライプ状に形成されるため、対向電極opでの反射光がコントラスト比を低下させる。しかるに本形態では、寄生容量を防止するための機能も担うバンク層bankを黒色のレジストで構成したため、バンク層bankはブラックマトリクスとしても機能し、対向電極opからの反射光を遮るので、コントラスト比が向上する。

【0055】〔上記形態の改良例〕上記形態では、共通給電線comの両側のそれぞれに、該共通給電線comとの間で駆動電流が流れる画素領域7が配置され、該画素領域7に対して前記共通給電線comとは反対側を2本のデータ線sigが並列して通っている。従って、2本のデータ線sigの間でクロストークが発生するおそれがある。そこで、本形態では、図9、図10（A）、（B）に示すように、2本のデータ線sigの間に相当する位置には、ダミーの配線層DAを形成してある。このダミーの配線層DAとしては、たとえば、画素電極41と同時に形成されたITO膜DA1を利用することができる。また、ダミーの配線層DAとしては、2本のデータ線sigの間に容量線clineからの延設部分DA2を構成してもよい。これらの双方をダミーの配線層DAとして用いてもよい。

【0056】このように構成すると、並列する2本のデータ線sigの間にはそれらとは別の配線層DAが通っている、このような配線層DA（DA1、DA2）を少なくとも画像の1水平走査期間内で固定電位としておくだけで、上記のクロストークを防止できる。すなわち、第1の層間絶縁膜51および第2の層間絶縁膜52は、膜厚が凡そ1.0μmであるのに対して、2本のデータ線sig2本の間隔は約2μm以上であるため、各データ線sigとダミーの配線層DA（DA1、DA2）との間に構成される容量に比して、2本のデータ線sigの間に構成される容量は十分に無視できる。それ故、データ線sigから漏れた高周波数の信号はダミーの配線層DAで吸収されるので、2本のデータ線sigの間でのクロストークを防止できる。

【0057】〔その他の形態〕なお、上記形態では、保持容量capを構成するのに容量線cline（容量電極）を形成したが、従来技術で説明したように、TFT

10

20

30

40

50

を構成するためのポリシリコン膜を利用して保持容量capを構成してもよい。

【0058】また、図11に示すように、共通給電線comと電位保持電極stとの間に保持容量capを構成してもよい。この場合には、図12(A)、(B)に示すように、電位保持電極stとゲート電極31とを電気的に接続させるためのゲート電極31の延設部分310を共通給電線comの下層側にまで拡張し、この延設部分310と共通給電線comとの間の位置する第1の層間絶縁膜51を誘電体膜とする保持容量capを構成すればよい。

【0059】

【発明の効果】以上説明したように、本発明に係る表示装置では、発光素子を構成する有機半導体膜の形成領域を規定する絶縁性のバンク層をデータ線と対向電極との間、または駆動回路と対向電極との間に介在させることに特徴を有する。従って、データ線や駆動回路に重なるように対向電極を形成しても、データ線や駆動回路の配線層に容量が寄生することを防止できる。それ故、駆動回路の負荷を低減できるとともに、画像信号の高周波数化を図ることができる。

【図面の簡単な説明】

【図1】本発明を適用した表示装置、およびそれに形成したバンク層の形成領域を模式的に示す説明図である。

【図2】本発明を適用した表示装置のブロック図である。

【図3】本発明を適用した表示装置の画素領域を拡大して示す平面図である。

【図4】図3のA-A'線における断面図である。

【図5】図3のB-B'線における断面図である。

【図6】(A)は図3のC-C'線における断面図、(B)はバンク層の形成領域を中継電極を覆うまで拡張しない構造の断面図である。

【図7】図1に示す表示装置に用いた発光素子のI-V特性を示すグラフである。

【図8】本発明を適用した表示装置の製造方法を示す工程断面図である。

【図9】図1に示す表示装置の改良例を示すブロック図である。

【図10】(A)は、図9に示す表示装置に形成したダ

ミーの配線層を示す断面図、(B)はその平面図である。

【図11】図1に示す表示装置の変形例を示すブロック図である。

【図12】(A)は、図11に示す表示装置に形成した画素領域を拡大して示す平面図、(B)はその断面図である。

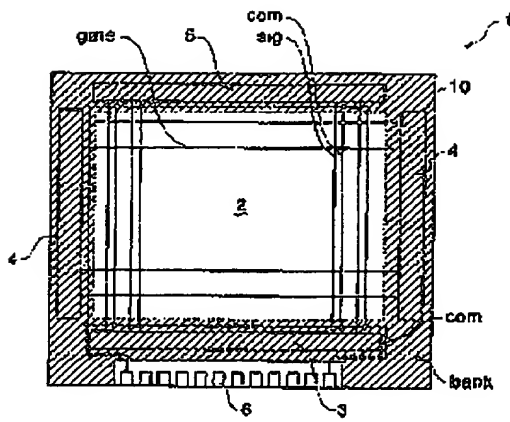
【図13】従来の表示装置のブロック図である。

【図14】(A)は、図13に示す表示装置に形成した画素領域を拡大して示す平面図、(B)はその断面図である。

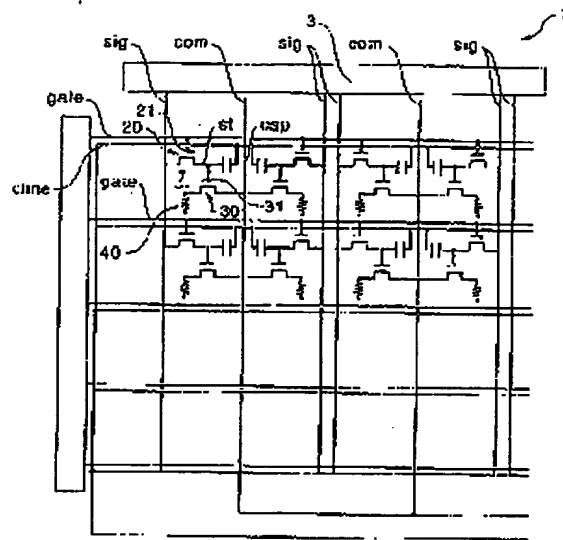
【符号の説明】

1	表示装置
2	表示部
3	データ側駆動回路(第1の駆動回路)
4	走査側駆動回路(第2の駆動回路)
5	検査回路
6	実装用パッド
7	画素領域
10	透明基板
20	第1のTFT
21	第1のTFTのゲート電極
30	第2のTFT
31	第2のTFTのゲート電極
40	発光素子
41	隣画素電極
42	正孔注入層
43	有機半導体膜
50	ゲート絶縁膜
51	第1の層間絶縁膜
52	第2の層間絶縁膜
DA	ダミーの配線層
bank	バンク層
cap	保持容量
cline	容量線
com	共通給電線
gate	走査線
op	対向電極
sig	データ線
st	電位保持電極

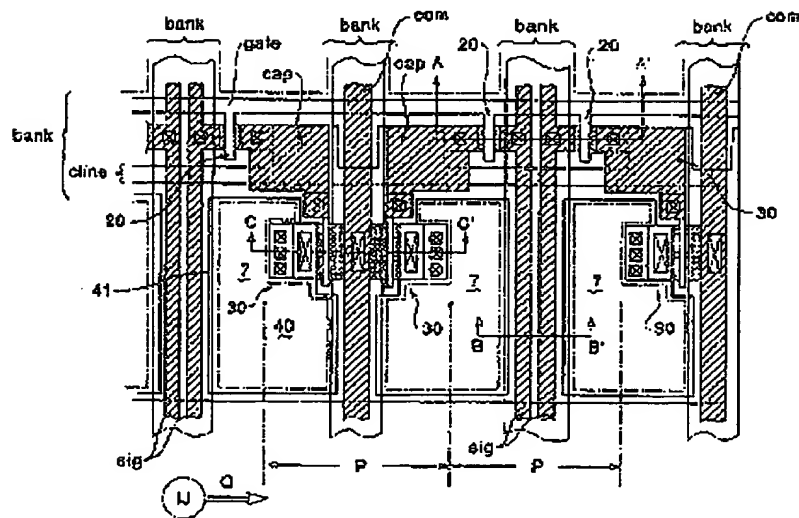
【図1】



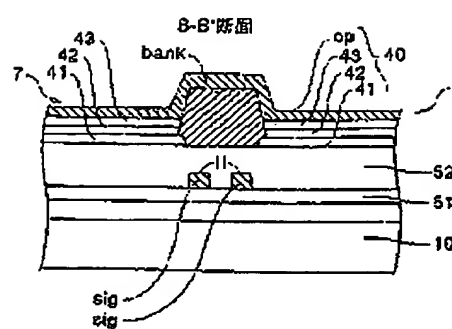
【図2】



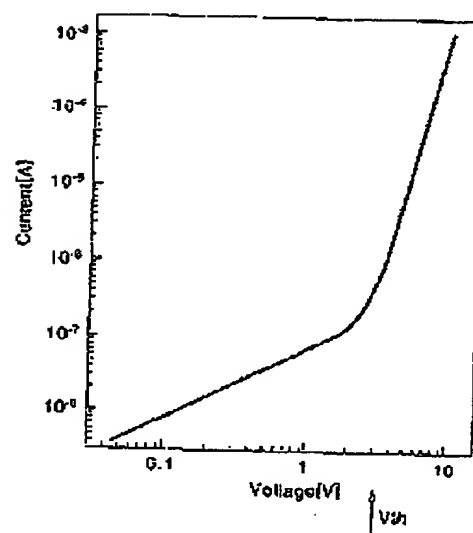
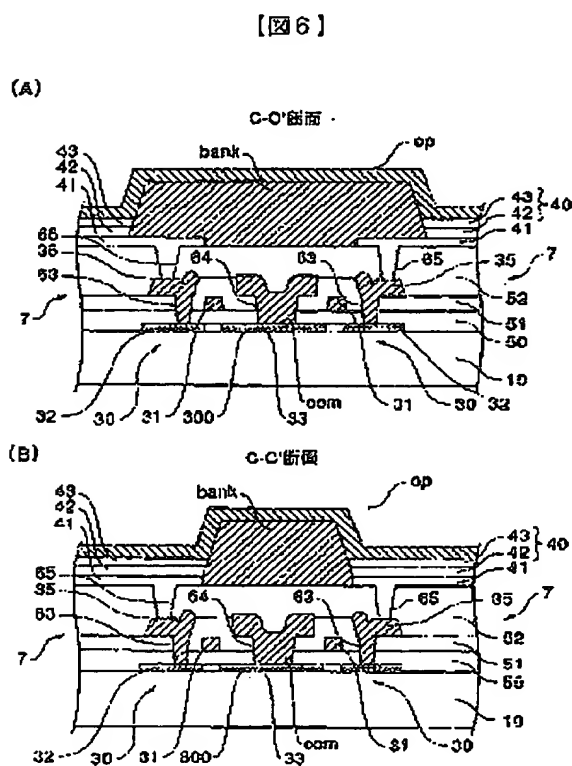
【図3】



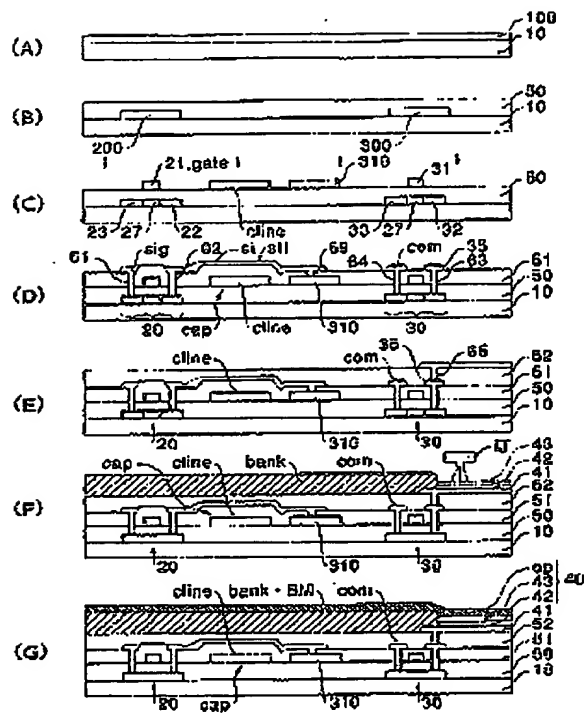
【図5】



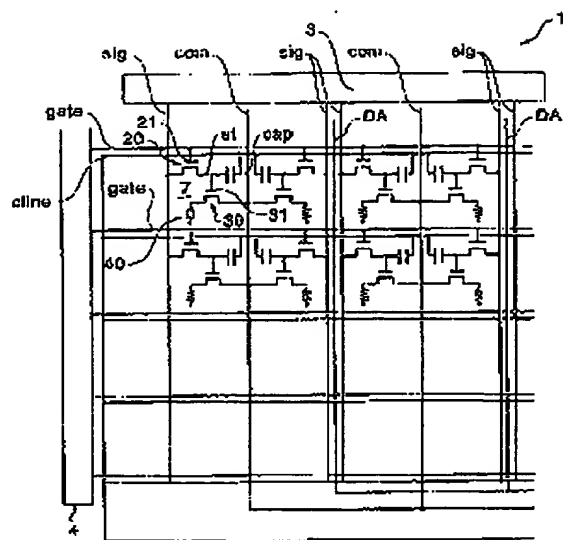
【圖 7】



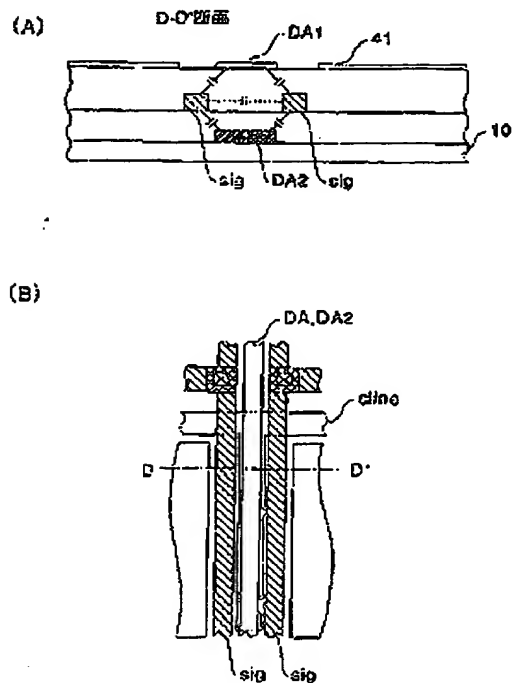
【図8】



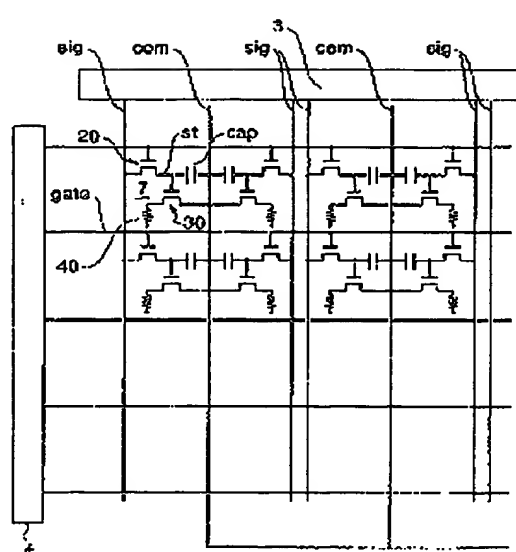
【図9】



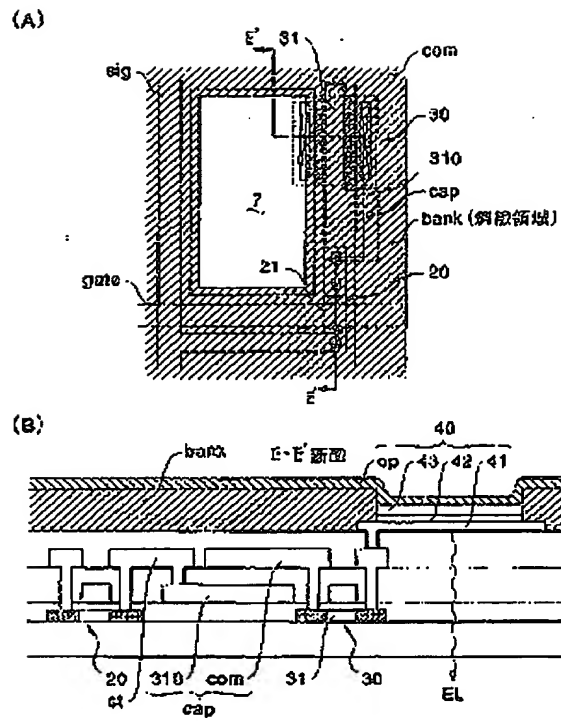
【図10】



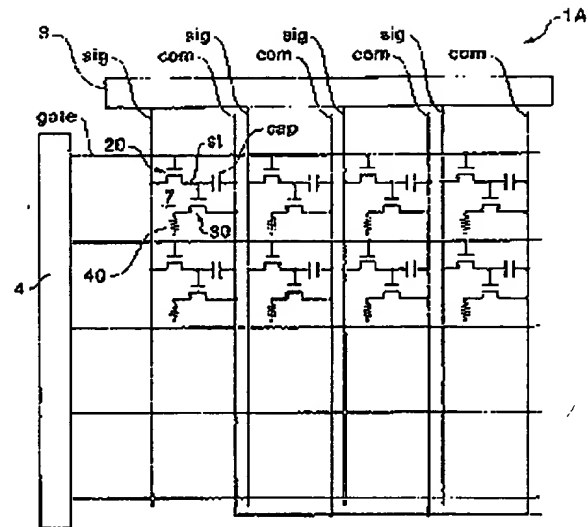
【図11】



【図12】



【図13】



【図14】

